



Plano de Atividades Domiciliares ADE

Unidade Curricular: Laboratório de Sistemas Computacionais:
Arquitetura e Organização de Computadores

Professor(es):

Tiago de Oliveira
Sérgio Ronaldo Barros dos Santos

Contato:

tiago.oliveira@unifesp.br
sergio.ronaldo@unifesp.br

Ano Letivo: 2020

Semestre: 1º

Carga horária total: 72h (ADE = 64h)

Turmas:

Turma Integral - I (Prof. Tiago)
Turma Noturno - N (Prof. Sérgio)

Plataforma de acesso ao curso:

Plataforma Moodle: Repositório dos materiais de apoio e de leitura e local de entrega dos relatórios técnicos e demais artefatos sobre o desenvolvimento do projeto.

Google meet: Webconferências síncronas para esclarecimento de dúvidas a respeito do desenvolvimento do projeto que serão agendadas por cada aluno, em determinados dias e horários definidos pelos docentes. O link de acesso à sala virtual será disponibilizado no Moodle.

Objetivos (remoto):

Gerais:

Ao término desta unidade curricular, o aluno deverá ter definido a organização e a arquitetura completa de um processador e implementado os principais módulos que constituem tal sistema digital utilizando uma linguagem de descrição de hardware.

Específicos:

- Descrever a arquitetura de um processador utilizando uma ferramenta de descrição de hardware;
- Realizar simulações para verificar a funcionalidade dos módulos desenvolvidos;
- Elaborar apresentações orais assíncronas em arquivos de áudio ou vídeo e redigir os relatórios técnicos.

Conteúdo Programático e Cronograma:



Conteúdos	Práticas Pedagógicas	Carga Horária
PC1 - Definição da arquitetura do processador "conjunto de instruções" e da organização básica (<i>datapath</i>).	Webconferência (síncrona)	1h
	Leitura (assíncrona)	2h
	Definição da organização e arquitetura completa do processador (assíncrona)	7h
	Redação do relatório técnico (assíncrona)	8h
	Produção de vídeo explicativo sobre o conjunto de instruções e arquitetura Base (assíncrona)	1h
	Avaliação colaborativa dos relatórios técnicos (assíncrona)	3h
PC2 - Implementação em Verilog da Unidade de Processamento (ALU, banco de registradores, memória de programa e de dados, e demais elementos).	Webconferência (síncrona)	1h
	Leitura (assíncrona)	2h
	Desenvolvimento em Verilog da unidade de processamento (assíncrono)	12h
	Redação do relatório técnico (assíncrona)	8h
	Avaliação colaborativa dos relatórios técnicos (assíncrona)	3h
PC3 - Implementação em Verilog da Unidade de Controle.	Webconferência (síncrona)	1h
	Desenvolvimento em verilog da unidade de controle e, idealmente, sua integração com a unidade de processamento (assíncrono)	14h
	Produção de vídeo explicativo sobre conteúdos desenvolvidos no PC2 e PC3 (assíncrono)	1h

Metodologia de Ensino Utilizada:



Esta unidade curricular será baseada em projetos e implementações de sistemas digitais em um ambiente de simulação. Os projetos serão conduzidos em atividades assíncronas e deverão ser desenvolvidos utilizando uma plataforma de trabalho específica que permita o desenvolvimento de projetos digitais e a realização de simulações para verificar a funcionalidade dos circuitos projetados. Além das implementações de sistemas digitais, deve-se realizar o treinamento do aluno no que se refere à redação de textos técnicos e científicos de forma clara, concisa e objetiva.

Metodologia de Avaliação (estratégias para atingir conceitos “cumprido” ou “não cumprido”) :

A avaliação será realizada considerando a participação do aluno e a realização das atividades propostas com qualidade e responsabilidade, de modo a avaliar se o estudante cumpriu a UC de acordo com os objetivos estabelecidos. Todas as atividades avaliativas serão realizadas de modo assíncrono, sendo elas:

- Cumprimento de **todas** as atividades propostas nos pontos de checagem (PCs) usando o ambiente de simulação (apresentar o funcionamento dos programas e circuitos sintetizados por meio de vídeos e relatórios conforme especificado);
- Participar da avaliação colaborativa dos relatórios técnicos (média igual ou superior a 6).

Bibliografia básica e complementar para uso remoto

Bibliografia básica: (E-books disponíveis na biblioteca virtual da Unifesp)

1. PIMENTA, Tales Cleber. Circuitos digitais : análise e síntese lógica: aplicações em FPGA. Rio de Janeiro GEN LTC 2016, recurso online ISBN 9788595156586.
2. COSTA, Cesar da. Projetos de circuitos digitais com FPGA. 3. São Paulo Erica 2014, recurso online ISBN 9788536520117.
3. WEBER, Raul Fernando. Fundamentos de arquitetura de computadores. 4. Porto Alegre Bookman 2012 1 recurso online (Livros didáticos informática UFRGS 8). ISBN 9788540701434.
4. HENNESSY, John L. Arquitetura de computadores : uma abordagem quantitativa. Rio de Janeiro GEN LTC 2019 1 recurso online ISBN 9788595150669.
5. PATTERSON, David A. Organização e projeto de computadores : a interface hardware/software. Rio de Janeiro GEN LTC 2017 1 recurso online ISBN 9788595152908.

Bibliografia complementar: (E-books disponíveis na biblioteca virtual da Unifesp)

1. D'AMORE, Roberto. VHDL : descrição e síntese de circuitos digitais. 2. Rio de Janeiro LTC 2012 1 recurso online ISBN 978-85-216-2113-3.
2. SISTEMAS digitais. Porto Alegre SER - SAGAH 2018 1 recurso online ISBN 9788595025752.
3. CIRCUITOS digitais : estude e use. 9. São Paulo Erica 2009 1 recurso online ISBN 9788536518213.
4. CAPUANO, Francisco Gabriel. Sistemas digitais : circuitos combinacionais e sequenciais. São Paulo Erica 2014 1 recurso online ISBN 9788536520322.



Ministério da Educação
Universidade Federal de São Paulo
Instituto de Ciência e Tecnologia



5. DELGADO, José. Arquitetura de computadores. 5. Rio de Janeiro LTC 2017 1 recurso online ISBN 9788521633921.
6. ENGLANDER, Irv. A arquitetura de hardware computacional, software de sistema e comunicação em rede. 4. Rio de Janeiro LTC 2011 1 recurso online ISBN 978-85-216-1939-0.
7. BAER, Jean-Loup. Arquitetura de microprocessadores : do simples pipeline ao multiprocessador em chip. Rio de Janeiro LTC 2013 1 recurso online ISBN 978-85-216-2677-0.
8. FLYNN, Michael J. Projeto de sistemas de computador : system-on-chip. Rio de Janeiro LTC 2014 1 recurso online ISBN 978-85-216-2724-1.